

数字式转速连续检测*

黄 福 祥

(中国科学院力学研究所)

【提要】 本文分析了采样及一阶数字环路检测转速存在的问题,提出在一阶数字环路中引入逻辑控制电路,可大大加快转速的数字表征量 V_s 对频率表征量 f_1 的跟踪。设计了简单可行的脉冲减法运算电路和馈送自动转换电路。通过实验,证明在复盖 $D < 3$ 的范围内,所提实验环路的等效时间常数可接近模拟检测,使数字式转速连续检测装置更为切合实用。

一、引 言

转速的检测是速度闭环控制系统十分重要的环节。目前,速度控制向高精度发展,这就要求作为反馈信号的转速检测,必须具有更高的分辨率和检测精度。由于数字技术的一系列优点,使数字技术在速度控制系统中的应用迅速增加。作为转速的检出,一般都是采用转速——频率变换器,即所谓光电测速或电磁测速。它将被测转速变换成频率和转速成正比的脉冲列。在数字式速度控制中,还必须将变换器输出的脉冲列变换成数字量。过去一直沿用,至今还是最为普遍的方法是采样检测,也就是在一定的闸门时间内计数变换器输出的脉冲。这种方法的缺点是显而易见的。首先它获得的速度数字量是闸门间隔内的平均值,且为非连续的。再者,欲提高分辨率,要么提高变换器的变换比,要么就得延长闸门时间。前者并非容易,后者必将降低采样率,增加输出的不连续性。近年来出现的内插平均法虽可提高分辨率,但仍不能提高采样率,降低不连续性。这就使闭环控制中反馈支路引入了一个滞后环节。随着采样率的下降,滞后时间增加,使动态性能变坏。由此可见,研究数字式转速连续检测是转速控制系统数字化十分重要的一环。

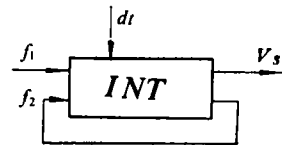


图1 速度检出电路

现介绍日本安川电机公司研制的DFM-50数字函数微型组件构成的速度检出电路和计算关系。 $V_s = \int \Delta f dt$, $\Delta f = f_1 - f_2$ 图1是给出的电路图。当表征转速频率 f_1 的最大值 $f_{1max} =$

30kc时: $\begin{cases} \text{分辨率 } 1/300, & \text{环路的时间常数 } \tau = 10\text{ms} \\ \text{分辨率 } 1/30000, & \text{环路的时间常数 } \tau = 1\text{s} \end{cases}$

* 本文于1979年7月收到。

所谓精密转速控制系统, 稳态转速误差均在千分之几或更低的量级。通常, 转速检测的分辨率还要高出 3~5 倍。考虑到目前国内所提供的光电测速最高输出频率亦在 30kc 左右, 因而, 类似于 DFM-50 所构成的简单一阶数字环路产生的惯性时间常数, 不小于几百毫秒。这样大的反馈时间常数, 对于大多数系统是不能允许的。例如, 通过减速传动机构驱动的系统 (这种系统是最常见的), 机电时间常数 T_M 主要取决于电机本身。上千瓦的直流电机的 T_M 为秒级, 这样大的反馈时间常数导致系统动态性能恶化, 严重的甚至根本不能工作。

本文采用图 2 所示的方框电路。在类似于 DFM-50 的环路中, 引入了逻辑控制电路, 实现对可逆计数器减法馈送和直接馈送的自动转换。从而大大加快了转速的数字表征量 V_s 对转速的频率表征量 f_1 的跟踪。

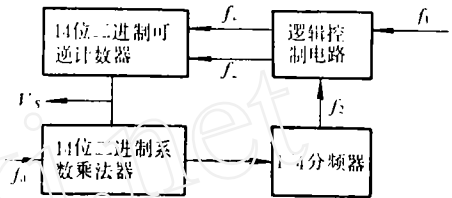


图 2 快速跟踪数字式速度检出电路

二、工作原理及分析

如图 2 所示, 电路由可逆计数器, 系数乘法器, 分频器及逻辑控制电路组成。可逆计数器是一个储存积分器, 对逻辑控制电路传送的加法脉冲列 f_+ 和减法脉冲列 f_- 进行累积。设

最大容量为 K , $K = 1 + \sum_{n=0}^{13} z^n$, 输出为 V_s , 系数乘法器则完成输入系数 V_s 和时钟频率 f_0

的乘法运算, 最大容量和可逆计数器相同, 输出 $f_2 = \frac{1}{K} V_s f_0$ 。分频器为 N 分频, 则 $f_2 = \frac{1}{KN} \times V_s f_0$ 。逻辑控制电路完成 f_1 、 f_2 的同步及减法运算, 并当其差值达转换电路的整定值时, 完成向可逆计数器的差值脉冲馈送自动转换成 f_1 或 f_2 的直接馈送, 而 f_1 、 f_2 重新相等时自动恢复差值脉冲馈送。

在闭环负反馈环路中, 任何 f_1 值必有一个确定的 V_s 与其对应, 使系数乘法器的输出经分频获得的 f_2 与 f_1 相等, 差值脉冲为零, V_s 不变。而 f_1 的变化必然导致 f_+ 或 f_- 馈送, 引起 V_s 和 f_2 的变化, 直到 f_2 重新等于 f_1 为止。

1. 只采用差值脉冲馈送的环路

设 $t_0 \sim t$ 区间 $f_1 \neq f_2$, 差值 $\Delta f = f_1 - f_2$ 送入可逆计数器累积。则:

$$\Delta V_s |_{t_0 \sim t} = \sum_{i=1}^m \Delta f_i \Delta t_i \quad (1)$$

式中 Δt_i : $t_0 \sim t$ 区间第 i 个小时间间隔。 Δf_i : Δt_i 间隔内 f_1 与 f_2 的差值。 m : $t_0 \sim t$ 区间内的微小时间间隔数。

当 f_1 与 f_2 的差值较大, V_s 的变化较快, 对应 V_s 的每一个最小量值的变化 Δt 很小时, 可以认为 V_s 的变化对时间 t 可微分, 则式(1)可表达为: $V_s - V_{s_0} = \int_{t_0}^t \Delta f dt$ (V_{s_0} 为 $t = t_0$ 时的 V_s),

$$\text{或} \quad \frac{dV_s}{dt} = \Delta f \quad (2)$$

若令 $t = t_0$ 时 f_1 由 f_{10} 跃升为 f_{11} , 则 $f_1 > f_2$, $\Delta f_1 = f_{11} - f_{10}$, $f_2 = \frac{1}{KN} V_s f_0$ 代入式 (2), 整理得:

$$\frac{KN}{f_0} \frac{dV_s}{dt} + V_s = \frac{KN}{f_0} f_{11} \quad (3)$$

式 (3) 为一阶常系数非齐次线性微分方程。用二次求积法得:

$$V_s = -\frac{KN}{f_0} \Delta f_1 e^{-\frac{t}{KN/f_0}} + \frac{KN}{f_0} f_{11} \quad (4)$$

若 $f_2 > f_1$, Δf 为负值, 所得结果相同。可见当 Δf 较大时, 环路是个一阶惯性环节。时间常数 $\tau = \frac{KN}{f_0}$, 它正比于系数乘法器和可逆计数器的容量 K 反比于 f_0/N 。 K 取决于分辨率和被测转速, $f_0/N = f_{1max}$ 取决于测量范围和变换器的变换比。因此测量范围和分辨率确定后, 提高变换器的变换比是降低 τ 的唯一途径。然而, 变换比的提高不仅受限于转换元件的频率特性和机械加工, 而且将使整个环路运算速度提高, 从而增加设备费用。

2. 同时引入减法器的差值馈送和直接馈送自动转换的环路

当 $f_1 \neq f_2$ 时, 脉冲减法器送出的差值脉冲在送入可逆计数器的同时, 也被送入自动转换电路, 在电容上累积。当差值脉冲达到预定值时, 自动将 f_1 或 f_2 直馈到可逆计数器。设 $f_1 > f_2$, 即 $t = t_0$ 时 f_1 产生一正阶跃。则:

$$\frac{dV_s}{dt} = f_1 \text{ 或 } V_s - V_{s0} = \int f_1 dt$$

V_s 将以 f_1 为增长率直线上升, 直到 V_s 与阶跃后的 f_1 相适应, f_2 重新等于 f_1 时自动还原减法器的差值馈送。图 3 示出了 f_1 由 f_{10} 跃升为 f_{11} 时 V_s 和 f_2 的变化过程。曲线 1 为采用直馈转换的。曲线 2 为不采用直馈转换的。由图可见: (1) 曲线 1 共分三段。 $t_0 \sim t_1$ 为准备转换段, 为差值馈送, 与曲线 2 重合。 $t_1 \sim t_2$ 为 f_1 直接馈送, 直线上升速率为 f_{11} 。 t_2 以后由于逻辑控制电路自动还原成差值脉冲馈送, 且 $f_2 = f_{11}$, $V_s = V_{s1}$ 不变。(2) 曲线 2, V_s 和 f_2 均为指数上升曲线, $\tau = \frac{KN}{f_0}$ 与 f_{11} 无关。(3) 采用 f_1 直馈转换后, V_s 对 f_1 的跟踪可大大加快。跟踪所需时间与 $f_{11} - f_{10} = \Delta f_1$ 成正比, 与 f_{11} 成反比。

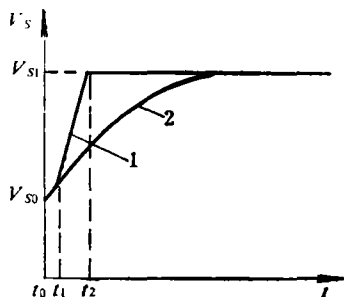


图3 上升过程比较

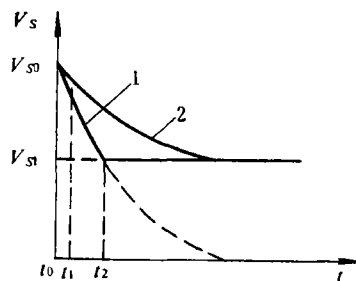


图4 下降过程比较

若 $f_1 < f_2$, 即 $t = t_0$ 时, f_1 产生一负阶跃, f_2 将直接馈送到可逆计数器减法通道。
 $\frac{dV_s}{dt} = -f_2 = -\frac{f_0}{KN}V_s$, 即

$$\frac{KN}{f_0} \frac{dV_s}{dt} + V_s = 0 \quad (5)$$

上式为一阶常系数齐次线性微分方程, 其解为

$$V_s(t) = V_{s0} e^{-\frac{t}{KN/f_0}} \quad (6)$$

设 f_1 在 $t = t_0$ 时由 f_{10} 突降为 f_{11} , V_s, f_2 的变化曲线如图 4。曲线 1 是采用 f_2 直馈转换的, 曲线 2 为仅用减法器馈送的, 与上升过程相类似。

(1) 曲线 1 亦分为三段。 $t_0 \sim t_1$ 与曲线 2 相同, 称为准备转换段。 $t_1 \sim t_2$ $V_s(t)$ 是一条斜率为 $-V_{s0} \frac{f_0}{KN} e^{-\frac{t}{KN/f_0}}$ 的指数曲线。与曲线 2 不同, 它的趋势是下降到零。所以当 f_{11} 远大于零, Δf_1 又不十分大时, $V_s(t)$ 可近似地看作与上升过程类似的直线下降, 下降速率为 $\frac{1}{2}(f_{10} + f_{11})$ 。 t_2 以后 $V_s = V_{s1}$ 保持不变。

(2) 曲线 2 与上升过程相同为指数率的曲线, $\tau = \frac{KN}{f_0}$ 。

(3) 采用 f_2 直馈转换后, 只要 f_1 的下降值不是很大 (例如 $f_{10}/f_{11} < 2 \sim 3$), V_s 对 f_1 的跟踪仍可大大加快。

应该说明, 上升和下降过程中 $t_0 \sim t_1$ 的时间间隔是较小的, 特别在阶跃给定时。但是当 Δf_1 的绝对变化量很小时, 这一过程就比较明显了。

三、实验电路说明

实验中采用的可逆计数器为 14 位二进制同步计数器, 加法、减法计数, 采用各自的通道, 计数方向由计数脉冲所进入的通道决定。全“0”全“1”输出用来封锁计数脉冲继续送入。原理如图 7 所示。

系数乘法器由 14 位二进制同步计数器和比例输入电路与或非门组成。电气原理如图 8。

分频器由两个单 D 触发器构成串联计数式分频器, 分频系数 $N = 4$, 用来保证环路的反馈脉冲 f_2 基本均匀。

时钟 f_0 由两个与非门及阻容移相网络和石英晶体滤波器构成, $f_0 = 400 \text{kc}$ 。

逻辑控制部分电气原理如图 9 所示。它由同步电路、脉冲减法电路和馈送转换电路三部分构成:

1. 同步电路

同步电路的作用是将环路输入脉冲 f_1 和反馈脉冲 f_2 转换成两倍时钟脉冲宽度, 而前沿与时钟脉冲 f_0 前沿同步的标准脉冲。1D、2D 和 3D、4D 分别构成 f_1 和 f_2 的同步电路。图 5 示出了 f_1 的同步过程和各点波形。

当 f_1 处于“0”态时, 由于 f_1 与 1D、2D 触发器的置“0”端 R 相连, 因而 Q_1 、 Q_2

均为“0”态。

当 f_1 输入“1”态时，1D、2D的置“0”信号被解除，时钟脉冲 f_0 到来时，其前沿使两触发器同时翻转， Q_1 、 Q_2 变为“1”态， $\overline{Q_1}$ 、 D_2 为“0”态。第二个时钟脉冲到来时，1D触发器的D端和Q端已同状，仅能使2D翻转为“0”态，在 Q_2 端输出一个宽度为 f_0 周期的正脉冲。此后由于1D、2D的Q端、D端状态相同，所以不再发生翻转。

当 f_1 又恢复“0”态时，1D、2D触发器立即返回“0”态，为下一个 f_1 的“1”态同步作好准备。

由此可见，每送入一个 f_1 的正脉冲，同步电路输出一个宽度为 f_0 周期的正脉冲，且前沿与 f_0 的前沿同步。 f_2 的同步过程由3D、4D完成，工作过程与 f_1 同步相同。

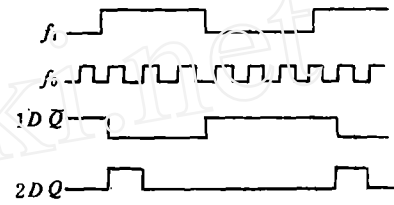


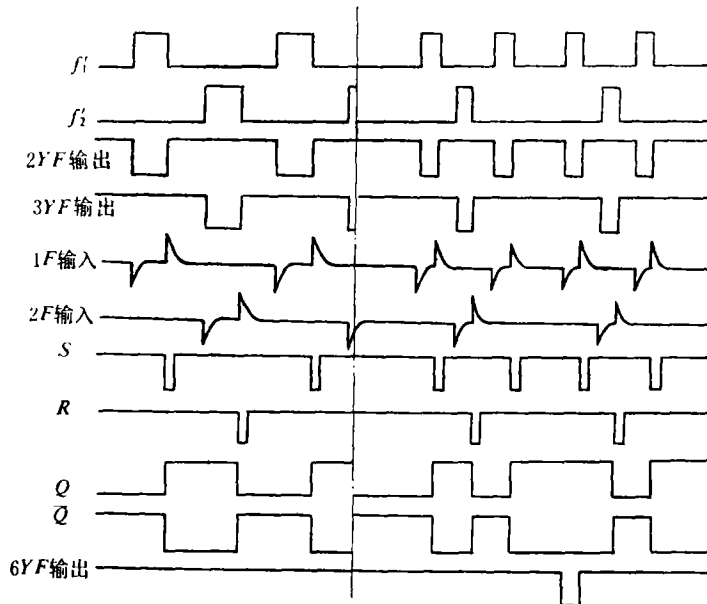
图5 同步电路各点工作波形

2. 脉冲减法电路

减法器是将经过同步的两列脉冲 f'_1 、 f'_2 进行减法运算，仅将差值脉冲 f_+ 或 f_- 通过6YF或7YF送入可逆计数器。

当 $f'_1 = f'_2$ ，且相位相同时， f'_1 和 f'_2 脉冲同时到达，1YF输出“0”态，封锁2YF、3YF、6YF、7YF各与非门，使电路不能输出，完成两脉冲的相减。

当 $f'_1 = f'_2$ ，但相位不同时，设 f'_1 超前 f'_2 时，1YF输出为“1”态， f'_1 的正脉冲使2YF输出一负脉冲，经 C_1R_1 微分，在前后沿分别获得一负一正的尖脉冲。由于1F的输入为“0”态，负向尖脉冲不起作用。而对应于 f'_1 后沿的正向尖脉冲使1F输出一个负向窄脉冲，加到R-S触发器的置“1”端。如R-S触发器输出原为“0”态，则此负向窄脉冲将使Q端翻转为“1”态，解除对6YF的封锁，为下一个 f'_1 通过6YF输出作好准备。前已假定 $f'_1 = f'_2$ ，



$f_1 = f_2$, f_1 超前 $f_1 > f_2$, f_1 超前

图6 脉冲减法器各点波形图

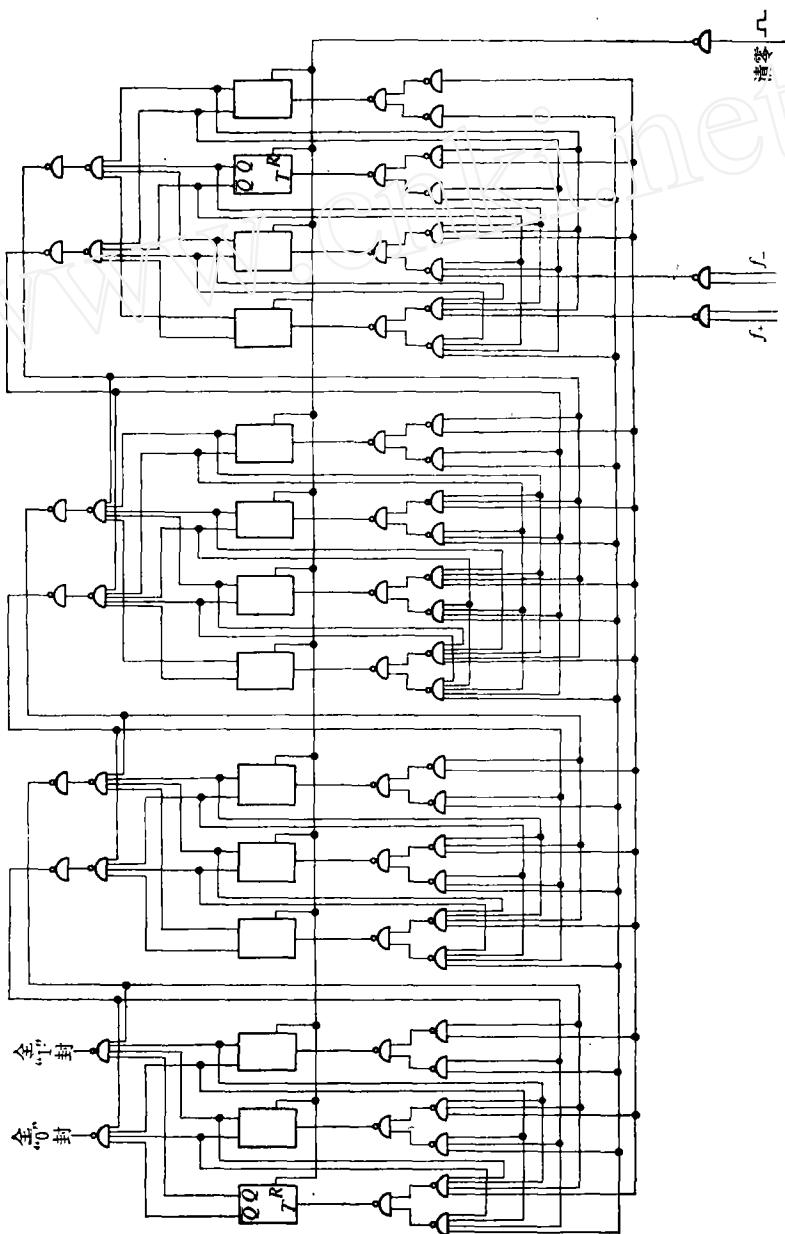


图 7 14位二进制同步可逆计数器原理图

f'_1 脉冲之后 f'_2 脉冲相继而至。与上述过程相同, f'_2 将通过 $3YF$, C_2R_2 , $2F$ 加到 $R-S$ 触发器置“0”输入端 R , 使 Q 端变“0”态, \bar{Q} 变“1”态, 封锁 $6YF$, 打开 $7YF$, 为下一个 f'_2 脉冲通过 $7YF$ 输出作好准备。由此可见, $f'_1 = f'_2$ 但相位不同时, 减法运算是由 $R-S$ 触发器的置 1 功能完成的。

当 $f'_1 \neq f'_2$, 设 $f'_1 > f'_2$, f'_1 脉冲到来时, 如 $R-S$ 触发器 Q 端已为“1”态, 且此时又无 f'_2 脉冲同时出现, 则 f'_1 脉冲将由 $6YF$ 加法输出端送入可逆计数器加法通道。与此同时, f'_1 通过 $2YF$, C_1R_1 , $1F$, 在脉冲的后沿产生一负向窄脉冲, 加于 $R-S$ 触发器的置“1”端 S 。如 $R-S$ 触发器 Q 端原为“0”态, 封锁着 $6YF$ 门, 则此 f'_1 脉冲不能由 $6YF$ 传送出去, 只能将 $R-S$ 触发器置“1”, 为下一个 f'_1 脉冲输出作好准备。在 f'_1 脉冲输出过程中, f'_2 的每个脉冲将 $R-S$ 触发器置“0”一次, 使随后的 f'_1 脉冲只能在重新置“1”后方可输出。

$f'_2 > f'_1$ 时的工作过程与上述相同, 只是差值脉冲为减法脉冲, 由 $7YF$ 送至可逆计数器的减法通道。

$f'_1 f'_2$ 的减法运算是借助 $1YF$ 的封锁和 $R-S$ 触发器的置 1 功能完成的。 C_3, C_4, C_5, C_6 为积分电容, 用以消除由 $1YF$ 的传送滞后产生的 $2YF, 3YF, 6YF, 7YF$ 输出毛刺。减法运算过程的波形, 见图 6。

3. 脉冲减法馈送和直接馈送自动转换电路

自动转换电路是完成被测脉冲列 f_1 和环路反馈脉冲列 f_2 具有一定差值时, 自动将差值脉冲馈送转换成 f_1 或 f_2 直接馈送。而当 f_2 重新等于 f_1 时, 自动还原成差值馈送。

图 9 中上下两部分电路完全对称。 C_7 为隔离耦合电容, 与 D_3, R_3, R_5, BG_1 构成对电容 C_6 的脉冲式等斜率充电支路。 $6YF$ 送入的每一个加法脉冲, 在传送至可逆计数器的同时,

也在 C_6 上造成一定幅度的电压积累。 C_6 上的电压, 通过 BG_5, BG_7 构成的射随器, 加于 $D_6, 8YF, 5F$ 组成的施密特电路。当 C_6 上的电压达触发电平时(约 3V), $5F$ 输出高电平, 打开 $10YF$ 门, 使 f'_1 直接送入可逆计数器加法通道。当 $f'_2 \geq f'_1$ 时(严格讲是 f_2 多于 f_1 的第

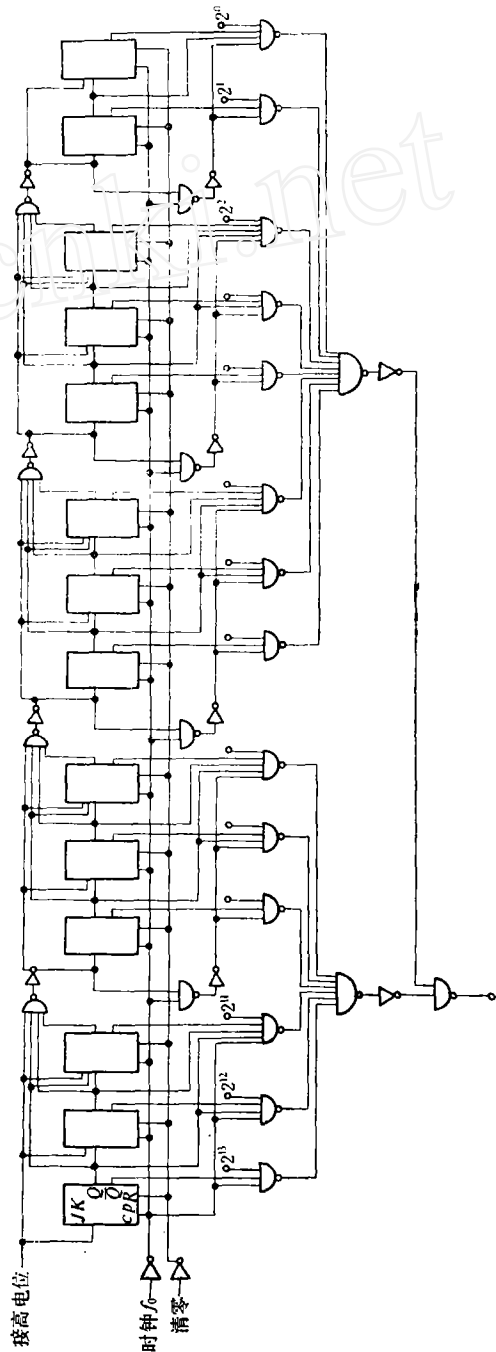
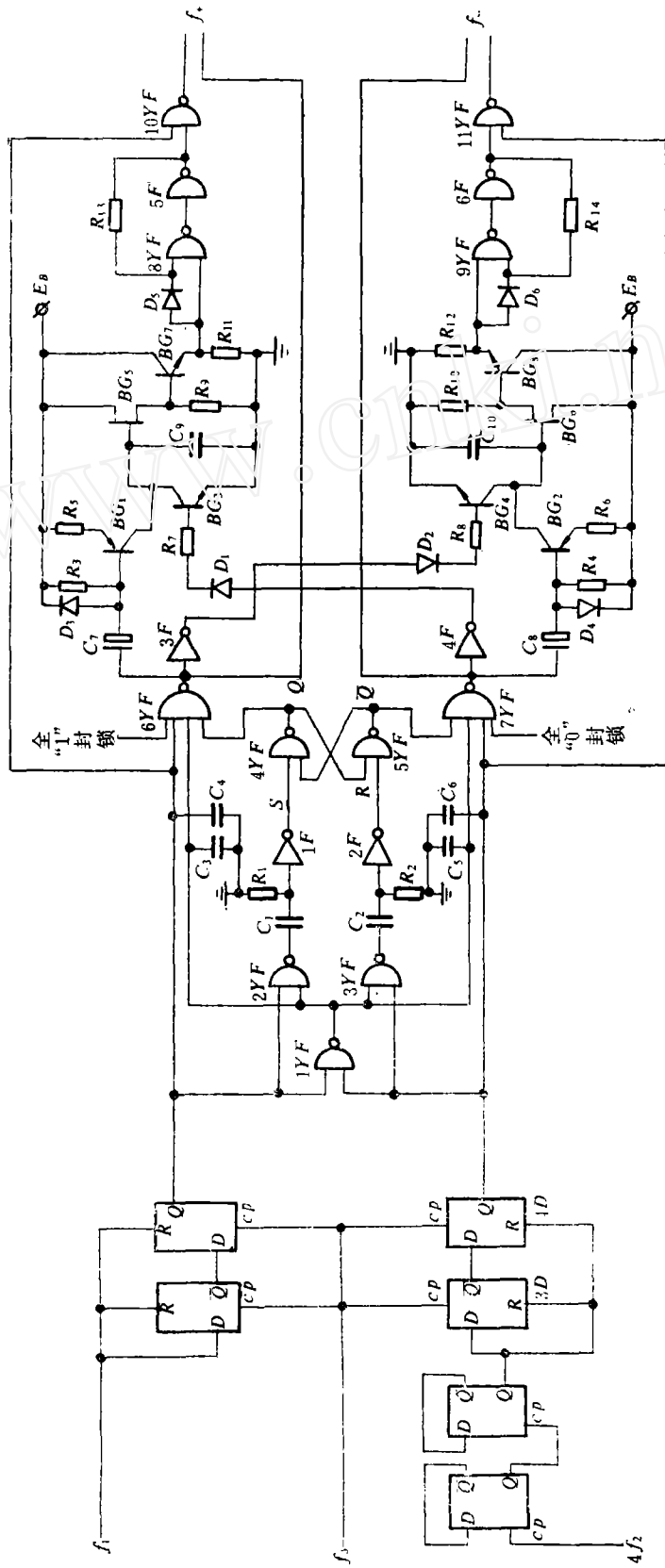


图 8 14位二进制系数乘法器原理图



反馈转换电路

脉冲减法器

同步电路

分频电路

图9 逻辑控制电路原理图

二个脉冲), $7YF$ 输出减法脉冲 f_- , 经 $4F$ 反相, 控制 D_1 、 R_7 、 BG_3 构成的恒流放电支路, 使 C_0 上电压在一个 f_- 脉冲期间放完。施密特触发器复原, $5F$ 的输出低电平封锁 $10YF$, 电路恢复由 $6YF$ 传送的差值脉冲馈送。 D_1 的作用是保证无减法脉冲时, BG_3 可靠截止。 BG_7 采用场效应晶体管, 使输入阻抗大为提高, 防止 C_0 上电荷泄放。 BG_7 是作为阻抗匹配而引入的。

四、实验结果

实验主要是验证数字输出 V_i 对频率输入 f_i 的快速跟踪效果。所采用的实验电路如图10。

两个脉冲信号源 f_{10} 、 f_{11} 均为频率可调的方波发生器。输入频率 f_i 经过三个与非门和触发器构成的瞬时切换电路, 加于被测环路。环路的输出 V_i 经七位快速数模变换器, 将 V_i 的 $2^7 \sim 2^{13}$ 的数码变换成模拟量, 送入记忆示波器记录。实验中将引入直馈转换和不加直馈转换的两条过渡曲线, 记录于同一屏幕上, 拍摄成照片。由于采用手动触发, 使两条曲线的起始点不重合。

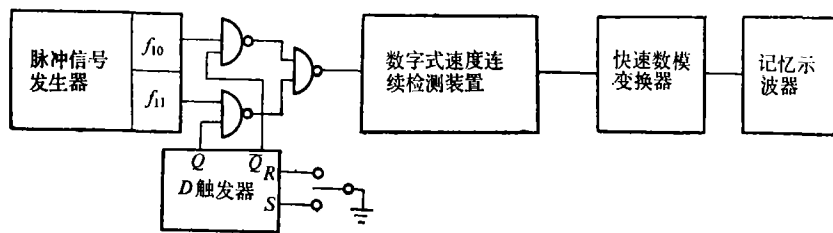


图10 实验电路框图

所示的两组照片分别为 $f_1 = 70\text{kc}$, 80kc 和 $f_1 = 10\text{kc}$, 50kc 的上升和下降过程的瞬变曲线。横轴的时标为 0.1S/格 。曲线中较快的一条为引入直馈转换的过渡曲线。较慢的一条为无直馈转换, 类似于 DFM-50 的简单环路的过渡曲线。

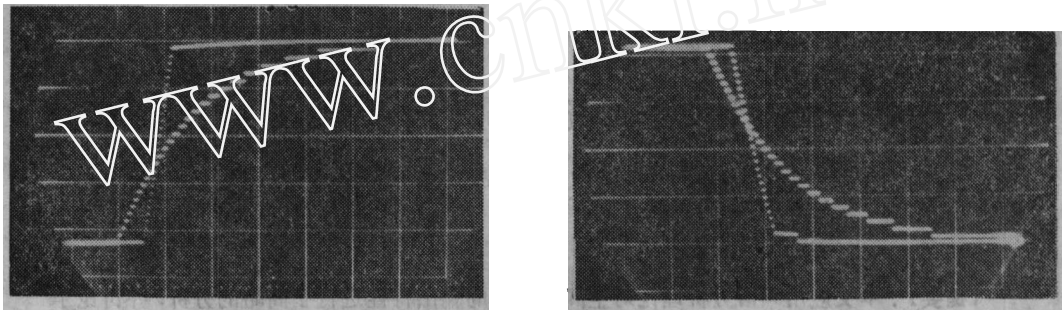
实验中被测装置的时钟 $f_0 = 400\text{kc}$, 分频系数 $N = 4$, 可逆计数器和系数乘法器的容量 $K = 1 + \sum_{n=0}^{13} 2^n = 16384$ 。无直馈转换时, 过渡曲线的时间常数 $\tau = \frac{KN}{f_0} \doteq 160\text{ms}$ 。实测中, 上升和下降过程在 500ms 左右, 约三个多时间常数。

引入直馈转换后, 两组曲线的上升过程均为直线性的积分过程。上升时间 $t = \frac{V_{s11} - V_{s10}}{f_{11}}$ 。对于 $70 \sim 80\text{kc}$ 的上升过程, $t \doteq 13\text{ms}$ 。对 $10 \sim 50\text{kc}$ 的上升过程 $t = 80\text{ms}$ 。下降过程, 对于 $80 \sim 70\text{kc}$ 的一条完全可以视为直线性的, 其斜率近似为 $f_{10} + f_{11}/2 = 75\text{kc}$, 下降时间 $t = 2 \times \frac{V_{s10} - V_{s11}}{f_{10} + f_{11}} \doteq 15\text{ms}$ 。而 $50 \sim 10\text{kc}$ 的一条, 由于 $f_{11} = 10\text{kc}$ 较低, 且频率阶跃又大, 曲线的末端指数率较为明显了。但下降过程的加速仍然十分明显。从两组照片所得的过渡时间与上述数据基本上是相符的。实验中观测了 $f_{11} = 0$ 指数下降过程, 与分析也是相符的。

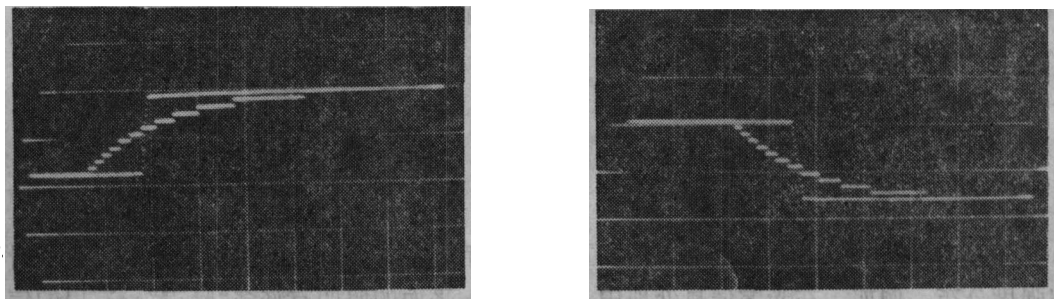
通过以上简要分析和实验可以得到如下看法。

(1) 在类似于 DFM-50 数字函数微型组件构成的简单一阶数字环路中, 引入逻辑控制电路, 可以大大加快输出 V , 对输入 f_1 的跟踪。特别是 f_1 的变化范围不甚宽时, 上升和下降的过渡曲线均可视为直线性的。初步的印象, 在 $f_{1\max}/f_{1\min} \leq 3$ 时效果较好, 跟踪时间可减小一个数量级。在覆盖 (即调速范围) 小于 3 的范围内, 其等效惯性时间常数的平均值, 接近于普通模拟系统的反馈环路的时间常数。

(2) 对全数字式速度自动控制系统的动态性能的改善, 提供了一种方法。采用目前商品提供的最高输出频率为 30kc 的转速-频率变换器和较高集成度的低速 PMOS 组件可方便地构成系统, 并且采用本方法同样可望达到较理想的动态指标。实测曲线附于下。



$f_1 = 10\text{KC}, 50\text{KC}$ 的上升、下降过程



$f_1 = 70\text{KC}, 80\text{KC}$ 的上升、下降过程

参 考 文 献

- [1] 美国“EEE杂志”编辑, 电子线路设计手册, 国防工业出版社, (1972), 118~119

The Continuous Digital Detection on Rotative Velocity

Huang, Fu-shang

(Institute of Mechanics, Chinese Academy of Science)

ABSTRACT: This paper analyzes the sampling inspection and first order digital loop circuit in rotative velocity detection. It introduces a logic control circuit into the first order digital loop circuit to make the digital character V_s follows frequency character f_1 closely. A pulse subtraction operated circuit and an automatic conversion feeding circuit are designed. While the coverage factor D is less than 3, it's proved that the equivalent time constant of the experimental loop circuit can be close to simulated detection. Hence, the continuous digital rotative velocity detective device is valuable in practice.