

新型可控坍塌芯片连接技术(C4)及芯下材料力学性能研究进展*

NOVEL CONTROLLED COLLAPSE CHIP CONNECTION TECHNOLOGY AND STUDIES ON MECHANICAL PROPERTIES OF UNDERFILL MATERIALS

汪海英**¹ 白以龙¹ 赵亚溥¹ 刘胜²

(1. 中国科学院力学研究所 非线性力学国家重点实验室, 北京 100080)

(2. Department of Mechanical Engineering, Wayne State University, Detroit, MI48202, U. S. A.)

WANG Haiying¹ BAI Yilong¹ ZHAO Yapu¹ LIU Sheng²

(1. State Key Laboratory for Nonlinear Mechanics (LNM), Institute of Mechanics, Chinese Academy of Sciences, Beijing 100080, China)

(2. Department of Mechanical Engineering, Wayne State University, Detroit, MI48202, U. S. A.)

摘要 可控坍塌芯片连接(C4)技术可以实现高速、高密度、小外形的封装,因此日渐得到关注和发展。然而,随着C4技术的普及,C4封装内由于芯片和基板间热膨胀系数(CTE)的不匹配而引起的可靠性问题将日益突出,为此研究者在C4封装中引入芯下材料来提高C4封装的可靠性。文中侧重于制造工艺、可靠性以及最新进展对C4技术进行介绍,并且对C4技术中所用的芯下材料的力学性能及其对C4封装可靠性影响的研究现状进行评述。

关键词 微电子封装 可控坍塌芯片连接技术 芯下材料 力学性能 可靠性

中图分类号 TN405.97

Abstract Controlled Collapse Chip Connection (C4) technology is gaining increasing popularity because it achieves high electrical interconnects speed, high density and low profile packages. While this technology gains more and more popularity, the problem of CTE mismatch between chip and substrate becomes more serious with the larger size of chips and smaller size of solder joints. Underfill encapsulant is introduced to reinforce physical, mechanical, and electrical properties of the solder joints in C4 packages. Therefore, the mechanical properties of underfill materials play an important role for the reliability of flip chip packages. In this paper, the C4 technology is introduced with emphasis on its manufacturing process, reliability, as well as some newly developments. Studies on mechanical properties of underfill materials used in C4 packaging, as well as their impacts on the reliability of C4 packages are reviewed.

Key words Microelectronic packaging; C4 technology; Underfill; Mechanical properties; Reliability

Correspondent: WANG Haiying, E-mail: why@lnm.imech.ac.cn, Fax: +86-10-62561284

Manuscript received 20020121, in revised form 20020408.

1 引言

微电子技术是近50年来发展最快的技术。自1958年世界上第一块集成电路诞生至今,仅仅40多年的时间,微电子技术的核心及代表——集成电路(IC)芯片的集成度已提高了8到9个数量级;而其特征尺寸则缩小了140倍^[1,2]。但是,芯片并不是一个独立的个体,要充分发挥IC芯片的功能,就必须对它进行封装^[3]。电子封装就是把构成电子器件的各个元件,广义讲即各组成部分,按规定的要求合理布置、组装、键合、连接、与外部环境隔离以及保护等的操作工艺^[4]。电子封装的作用在于,机械支撑和机械保护的作用。

传输信号和分配电源的作用。散热的作用。环境保护的作用^[5]。因此,集成电路的封装是集成电路

各种性能正确实现的重要保证。在过去几十年里,为适应集成电路向小型化、高速化、大功率、多引脚、高密度、高可靠性、耐恶劣环境、长寿命发展的需要,集成电路的封装也朝着小尺寸、多引线、高密度、高速、高可靠性、高散热、自动化组装的方向发展^[5]。可控坍塌倒装芯片连接技术(Controlled Collapse Chip Connection, C4)就是近年来迅速发展并且能满足上述要求的一种封装技术。本文将对可控坍塌芯片连接技术及其所用的芯下材料(underfill)力学性能的研究进展进行简要的介绍和综述。

2 可控坍塌芯片连接技术

从整个封装结构讲,电子封装包括一级封装、二级封装和三级封装^[8]。芯片在基板上固定并与基板上布

* 20020121 收到初稿,20020408 收到修改稿。

** 汪海英,女,1974年8月生,安徽省潜山县人,汉族。现在中国科学院力学研究所非线性力学国家重点实验室(LNM)工作,2001年博士毕业,主要研究领域为材料的力学行为以及微电子封装的可靠性。

线的连接为一级封装;基板布线与管脚或引线的键合为二级封装;封装各组件相对位置的固定、密封以及与外部环境的隔离等为三级封装。

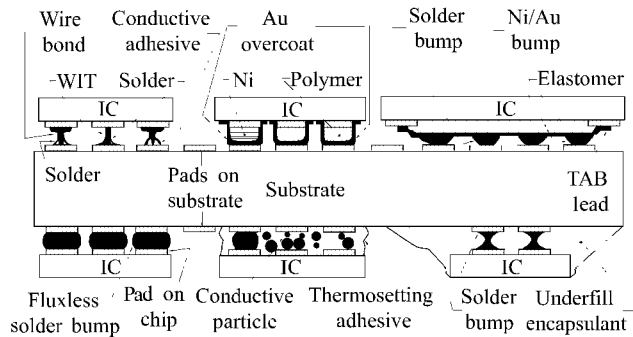


图1 常见的倒装焊封装的结构示意图

Fig. 1 Structures of typical flip chip packages

倒装封装技术是所有使芯片的工作表面朝向基板的连接技术的总称^[6,7],这种技术一般用于一级封装和二级封装中。图1是几种倒装焊封装的结构示意图^[8],由图可见,倒装焊技术中的连接方式主要有两种,金属凸点连接和导电树脂连接。由于导电树脂的工艺尚存在一些未克服的困难,现在采用的倒装焊封装多采用金属凸点,尤其是铅锡合金焊料的凸点,来实现芯片与基板的连接。利用铅锡合金焊料做成的凸点连接芯片和基板的倒装焊技术就是可控坍塌芯片连接技术,简称C4技术。图2^[9]是一个典型的可控坍塌芯片封装的结构示意图。

与其他芯片连接技术相比,C4技术具有封装外形较薄,I/O密度高,电性能较好,凸点芯片可返修等优点。此外C4技术的自对准效应可以降低对贴片精度的要求,而且C4封装可采用与传统表面贴装技术兼容的材料和工艺,实现工业化生产。然而,由于可靠性原因,早期倒装芯片都只是被贴装到硅基板或陶瓷基板上,成本很高。80年代末,IBM和日立公司等先后突破性地将这种技术用到有机的芯片载体以及印刷电路板上^[10,11];同时,IBM在芯片与基板的缝隙中填入环氧基的芯下材料,既降低了C4封装的成本,又提高了C4封装结构的可靠性,这样,C4技术就被推广到更大规模以及更高服役温度的芯片的封装。C4技术如今既可以用于将芯片直接连接到基板上(FCOB);也可以用于将已通过倒装焊或引线连接与芯片连接的基板连接到另一块基板上(FCIP),这在多引脚、高性能的封装,如球栅阵列封装(BGA)及芯片尺度封装(CSP)中尤其常见。现在C4、BGA、CSP技术被各大电子公司广泛地采用,据报道Intel、IBM和AMD公司的微处理器芯片的封装就采用了C4、CSP及BGA技术^[12-14]。目前,众多电子公司和研究机构均致力于从封装材料、封装工艺和封装结构设计等方面开发新型的C4封装技术,并取得了很大的进展。比如,佐治亚理工学院电子封

装中心针对C4封装生产效率差和不易返修等缺点提出了使用不流动芯下材料的C4工艺,并开发了不流动芯下材料以及可返修的芯下材料^[15-17],研究者还开发了可用于倒装芯片封装的微导孔基板(micro via-in-pad substrate),并将其用于芯片尺度的封装^[18]中。

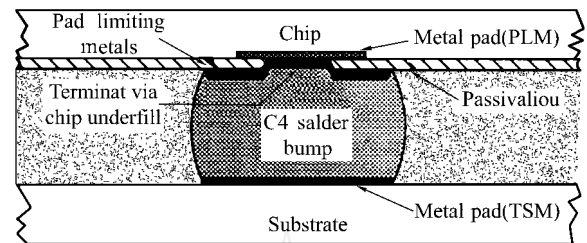


图2 典型的C4封装的结构示意图

Fig. 2 Structure of a typical C4 package

使用传统芯下材料的可控坍塌芯片封装的生产工艺如下:首先将制成的合金焊料凸点的芯片放到基板上,并使其焊料凸点对准基板的焊区;再对焊料凸点进行再流焊,实现基板和芯片的连接;之后对封装结构进行清洗、目检和功能测试,发现不合格的封装即对其返修;在合格封装的芯片与基板之间的缝隙中挤入液态的芯下材料,并将此材料固化,最后对密封好的封装进行清洗和检测。整个工艺流程如图3所示^[8]。

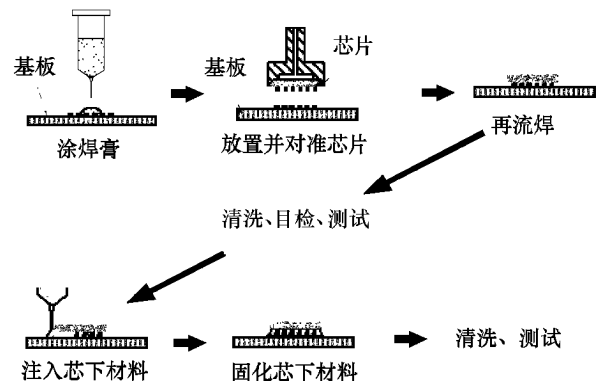


图3 C4封装工艺过程示意图

Fig. 3 Process of C4 technology

C4封装工艺过程比较复杂,并且封装内包含很多不同的材料,这些材料具有不同的热力学性能,在结构的封装和服役过程中,必然会因为材料间力学性能和热性能的不匹配在封装结构内产生应力和变形,最终导致封装结构的失效。C4封装中常用材料的力学性能如表1所示^[19,20]。C4技术早期都只是用于硅芯片和陶瓷(如氧化铝)基板的连接,如果所使用的芯片尺寸较小,那么此时由于芯片材料与基板材料热膨胀系数不匹配在焊点中产生的变形就不足以引起焊点致命的失效问题。然而,随着芯片尺寸的增加以及有机基板材料(如FR-4)在C4技术中的使用,焊点的可靠性问题就显得日益突出。尽管在芯片与基板间的缝隙中填入环氧树脂基的芯下材料可大大提高焊点的疲劳寿命,然而C4封装焊点的热疲劳失效仍然是影响C4封

装可靠性中一个不容忽视的因素。同时由于 C4 封装内存在很多的界面(如芯下材料与焊点、芯片界面及基板间的界面等),界面的开裂也是影响 C4 封装可靠性的重要因素。此外,芯片开裂、基板翘曲、芯下材料开裂等也是导致 C4 封装失效的原因。这些失效模式可以用图 4 表示^[21]。

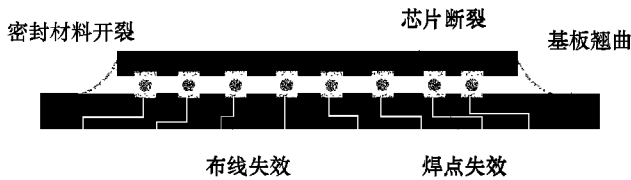


图 4 C4 封装的失效模式

Fig. 4 Failure modes of C4 packages

表 1 C4 技术中常用材料的热力学性能

Tab. 1 Thermo-mechanical properties of materials in C4 packages

材料	性能	弹性模量 E/ GPa	泊松比	热膨胀系数 $\text{CTE} \times 10^6/^\circ\text{C}$
硅		170	0.278	2.43
63Sn/ 37Pb		23.7	0.38	23.56
FR-4 印刷电路板		22.4, 1.6	0.36	17, 35
芯下材料 HP4526		6.3	0.38	33
Al_2O_3		336	0.22	6.9

3 芯下材料力学性能研究进展

芯下材料的使用是实现低成本、高可靠性 C4 封装的重要保证,其力学性能对整个封装结构的可靠性影响很大,因此,研究者对芯下材料的力学性能及其对封装可靠性的影响开展了广泛的研究。

迄今,关于芯下材料力学性能的研究工作及成果包括,文献[22]中对商用快速流动芯下材料的热力学行为、粘弹性力学行为进行了测试,得到了该材料在不同温度下的热膨胀系数(CTE)、储能模量、耗散模量以及玻璃化转变温度等。文献[23,24]等对商用芯下材料 FP4526 在不同温度和应变率下应力—应变行为进行了测试,建立了该材料的粘弹塑性本构关系,并对测试试样的尺度效应进行了分析。文献[25]中,作者对新型不流动芯下材料在不同温度时的应力—应变行为进行了测试,采用 Perzyna 模型对材料的温度、应变率相关的变形行为进行描述,并且将此模型用到了商用有限元软件中;文献[26]和文献[27]等分别设计了类紧凑拉伸和四点弯曲试样用来测量倒装封装中的界面结合强度,这些测量可以为封装材料的选择提供一定的依据。

芯下材料通常是硬颗粒(如 SiO_2) 填充的热固性树脂(如环氧树脂)基的复合材料,研究者对芯下材料成分对力学性能影响开展了研究,其主要研究成果为,文献[28,29]等研究了硅烷偶联剂对芯下材料与基板和

芯片界面结合强度的影响,结果表明,在芯下材料中加入适量的硅烷偶联剂可以明显改善芯下材料与基板间的界面结合强度;文献[30]对 SiO_2 颗粒含量为 50 % 和 70 % 的芯下材料在不同温度下的应力松弛行为进行了测试,发现含 50 % 填充颗粒的材料松弛模量明显低于含 70 % 填充颗粒的材料;文献[31]等从复合材料力学的角度对芯下材料室温下的弹性模量与 SiO_2 填充颗粒(平均粒径为 $15 \mu\text{m}$, 颗粒质量百分比为 0 % ~ 70 %) 含量的关系进行了研究,结果表明室温下芯下材料的弹性模量随颗粒含量的变化趋势与 Mori-Tanaka 方法的预测结果基本一致(图 5),但没有考察材料的高温变形行为以及塑性变形行为随颗粒含量的变化;文献[25]中考察了颗粒含量对不流动芯下材料在不同温度和应变率下的弹塑性行为的影响,结果表明材料的弹性模量和低温下的屈服强度基本随其中颗粒含量的增加而提高,但在高温下材料的屈服应力和流动应力随着颗粒含量的增加呈现先增加后降低的变化趋势(图 6)。

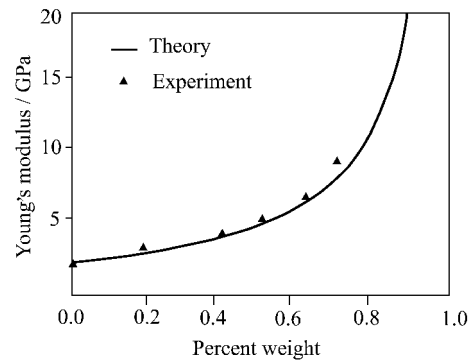


图 5 芯下材料弹性模量与 SiO_2 填充颗粒含量的关系^[31]

Fig. 5 Silica filler content effects on the Young's Modulus of underfills^[31]

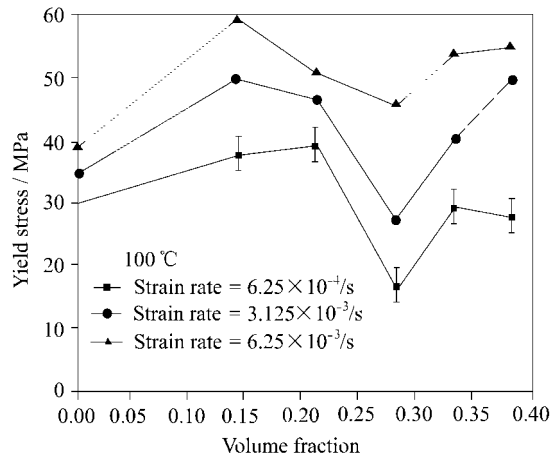


图 6 不流动芯下材料屈服强度与 SiO_2 填充颗粒含量的关系^[25]

Fig. 6 Silica filler content effects on the yield strength of no-flow underfills^[25]

芯下材料对可控坍塌倒装封装可靠性的研究不胜枚举。文献[32~34]等通过对芯下材料固化过程在芯片中引起的应力分布的测量,发现芯下材料的固化会在芯片内引起很高的压应力(60 MPa ~ 80 MPa),压应

力的数值随芯下材料固化条件而变化。文献[35]采用不同的芯下材料和焊料本构模型分析 C4 封装在蠕变过程中应力、应变场的分布和变化,结果表明不同本构模型对数值模拟的结果影响很大,应变率相关的弹塑性模型可以得到与实验数据最接近的结果。很多研究者^[36~42]对芯下材料性质、芯下材料角缝的形状对封装内的芯片翘曲、焊点寿命、芯片/芯下材料和基板/芯下材料的层间开裂等的影响进行了实验研究与数值模拟,结果表明芯下材料的性质对封装寿命及失效点的位置有很大的影响。文献[43,44]对 C4 封装结构以及由工艺过程导致的缺陷(如颗粒沉积、焊点错位、孔洞、高/低角缝、不清洁等)对封装可靠性的影响进行了实验和数值研究,结果如表 2 所示,类似的研究见文献[43~46]。文献[45~47]对 C4 封装在湿度试验中焊点/芯下材料粘结强度的变化进行了测试和分析,说明焊点/芯下材料粘结强度的降低主要是由于潮湿扩散到芯下材料所致。

表 2 C4 封装的结构和工艺导致缺陷对可靠性的影响程度^[43,44]

Tab.2 Impact of structure and process defects on the reliability of C4 packages^[43,44]

	影响可忽略	影响中等	影响很大
芯下材料性能			
颗粒沉积			
焊点高度			
焊盘未对准			
小孔洞			
大孔洞			
高/低角缝			

4 结语

C4 技术可以实现高速、高密度、小外形的封装,因此日渐得到关注和发展。在 C4 技术中,封装结构设计、工艺设计以及材料选配等都是影响 C4 封装性能和可靠性的重要因素。本文着重介绍 C4 封装的工艺、可靠性以及 C4 技术中所用的芯下材料力学性能的研究进展,其实 C4 技术中的力学问题还有很多,随着微电子技术的迅猛发展,这些力学问题将日渐尖锐,将吸引更多力学工作者投入这方面的研究。

References

- Semiconductor Industry Association, International technology roadmap for semiconductor. <http://www.itrs.net/itrs/>, 1999.
- GAO Shangdong. Microelectronics packaging marching towards the new century. *Semiconductor Information*, 2000, 37(6): 1~7 (In Chinese) (高尚通. 跨世纪的微电子封装. 半导体情报, 2000, 37(6): 1~7).
- Lau John, Wong C P. *Electronic packaging: design, materials, process & reliability*. New York: McGraw-Hill Press, 1998. 1~15.
- TIAN Mingbo, LIANG Tongliang, HE Wei. Electronic packaging technologies and packaging materials. *Semiconductor Information*, 1995, 32(4): 42~61 (In Chinese) (田民波, 梁彤翔, 何卫. 电子封装技术和封装材料. 半导体情报, 1995, 32(4): 42~61).

- Tummala R R, Rymaszewski E. *Microelectronics packaging handbook part*. New York: Van Nostrand Reinhold, 1989. 129~181.
- Liu S. Workshop on flip chip package. In: 48th ECTC Conference, Seattle, WA, 1998.
- Lau J H. *Flip chip technology*. New York: McGraw-Hill Book Company, 1996. 168~195.
- Tummala R R, Rymaszewski E J, Klopfenstein A G. *Microelectronics packaging handbook part*. 2nd edition, New York: Chapman & Hall Press, 1997. 233~276.
- DeHaven K, Dietz J. Controlled collapse chip connection (C4)-an enabling technology. In: Proceedings the 44th Electronic Components and Technology Conference, Washington, DC 1994. 1~6.
- Nakano F, Soga T, Amagi S. Resin-insertion effect on thermal cycle resistivity of flip-chip mounted LSI devices. In: Proceedings of the International Society of Hybrid Microelectronics Conference, Houston, TX, 1987. 536~541.
- Surayanarayana D, Hsiao R, Gall T P, et al. Flip-chip solder bump fatigue life enhanced by polymer encapsulation. In: Proceedings of the 40th Electronic Components and Technology Conference, Las Vegas, NV, 1990. 338~342.
- Shukla R, Murali V, Bhasali A. Flip chip CPU package technology at Intel: a technology and manufacturing overview. In: Proceedings of the 49th Electronic Components and Technology Conference, San Diego, CA, June 1-4, 1999. 945~950.
- Master R N, Khan M, Guardado M, et al. Flip chip for AMD K6 microprocessor. In: Proceedings of the 48th Electronic Components and Technology Conference, Seattle, WA, 1998. 311~316.
- Lau J H. *Ball grid technology*. New York: McGraw-Hill, 1996. 461~499.
- Wong C P, Baldwin D F. No-flow underfill for flip-chip packages. U. S. Patent Disclosure (in progress), April, 1996.
- Shi S, Wong C P. Study of the fluxing agent effects on the properties of no-flow underfill materials for flip-chip applications. *IEEE Transactions on Electronics Packaging Manufacturing*, 1999, 22(2): 141~151.
- Wang L, Wong C P. Recent advances in underfill technology for flip-chip ball grid array, and chip scale package applications. In: Proceedings of International Symposium on Electronic Materials and Packaging, Hong Kong, 2000. 224~231.
- Lau J, Chang C, Chen C, et al. Via-In-Pad (VIP) substrates for solder bumped flip chip applications. In: Proceedings of SMTA International Conference, San Jose, CA, 1999. 128~136.
- CINDAS. SRC document. Purdue University, 1997.
- Auersperg J. Fracture and damage evaluation in chip scale packages and flip-chip assemblies by FEA and microdac. In: Proceedings of ASME Symposium on Applications of Fracture Mechanics in Electronic Packaging, San Diego, CA, 1997. 133~138.
- Schubert A, Dudek R, Michel B. Experimental and numerical analyses of flip-chip attach reliability. In: Proceedings of International Symposium on Electronic Materials and Packaging, Hong Kong, 2000. 107~112.
- Lau J, Chang C. Characterization of underfill materials for functional solder bumped flip chips on board applications. In: Proceedings of the 48th ECTC Conference, Seattle, WA, 1998. 1361~1365.
- Qian Z, Wang J, Ren W, et al. Visco-elastic-plastic properties and constitutive modeling of underfills. *IEEE Transactions on Components and Packaging Technologies*, 1999, 22(2): 152~157.
- Ren Wei, Qian Zhengfang, Liu Sheng. Visco-elastic-plastic properties and

- constitutive modeling of underfills. In: Proceedings of the 49th Electronic Components and Technology Conference, San Diego, CA, 1999. 1 229 ~ 1 233.
- 25 WANG Haiying. Study on mechanical properties of no-flow underfill materials and reliability of flip chip packages [Ph D Thesis]. Beijing: Institute of Mechanics, Chinese Academy of Sciences, 2001 (In Chinese) (汪海英. 电子封装中不流动芯下材料力学性能和封装可靠性的研究(博士学位论文). 北京:中国科学院力学研究所, 2001).
- 26 Dai X, Brillhart M V, Ho P. Polymer interfacial adhesion in microelectronic assemblies. In: Proceedings of the 48th ECTC Conference, Seattle, WA, 1998. 132 ~ 136.
- 27 Yan X, Agarwal R K. Two test specimens for determining the interfacial fracture toughness in flip-chip assemblies. Journal of Electronic Packaging, 1998, 120(2): 150 ~ 154.
- 28 Vincent M B, Meyers Laura, Wong C P. Enhancement of underfill performance for flip-chip applications by use of silane additives. In: Proceedings of the 48th Electronic Components and Technology Conference, Seattle, WA, 1998. 125 ~ 130.
- 29 Yao Q, Qu J, Wong C P. Characterization of underfill/substrate interfacial toughness enhancement by silane additives. IEEE Transactions on Components and Packaging Technologies, 1999, 22(3): 264 ~ 269.
- 30 Qu J, Wong C P. Effective elastic modulus of underfill materials for flip-chip applications. In: Proceedings of the 48th Electronic Components and Technology Conference, Seattle, WA, 1998. 848 ~ 850.
- 31 Shin D K, Lee J J. A study on the mechanical behavior of EMC and thermal stress analysis in plastic packaging. In: EEP-Vol. 19-1, Advances in Electronic Packaging, Kona Coast, HI, 1997. 253 ~ 259.
- 32 Palaniappan P, Baldwin D F. Correlation of flip chip underfill process parameters and material properties with in-process stress generation. IEEE Transactions on Components and Packaging Technologies, 1999, 22(1): 53 ~ 59.
- 33 Nysether J B, Lundstrom P, Liu J. Piezoresistive measurement of mechanical stress in epoxy underfilled flip-chip-on-board (FCOB) devices. In: Advances in Electronic Packaging, EEP-Vol. 19-1, Kona Coast, HI, 1997. 185 ~ 190.
- 34 Peterson D W, Sweet J N. Stresses from flip-chip assembly and underfill; measurement with the ATC4.1 assembly test chip and analysis by finite element method. In: Proceedings of the 47th ECTC Conference, San Jose, CA, 1997. 134 ~ 139.
- 35 Ren Wei, Wang Jianjun, Liu Sheng. Investigation of creep behavior of a flip-chip package using different constitutive models. In: Proceedings of International Symposium on Advanced Packaging Materials, Atlanta, GA, 1999. 31 ~ 40.
- 36 Nysether J B, Lundstrom P, Liu J. Measurements of solder bump lifetime as a function of underfill material properties. IEEE Trans. on Components, Packaging, and Manufacturing Technology, Part A, 1998, 21(3): 281 ~ 285.
- 37 Cheng Z, Chen L. The effects of underfill and its material models on thermomechanical behavior of flip chip package. In: Proceedings of the 2000 International Symposium on Electronic Materials and Packaging, Hong Kong, 2000. 232 ~ 236.
- 38 Zhang Wenge, Wu Derick, Wong C P. The effects of underfill epoxy on warpage in flip-chip assemblies. IEEE Trans. on Components, Packaging and Manufacturing Technology, Part A, 1998, 21(3): 323 ~ 328.
- 39 Madenci E, Shkarayev S, Mahajan R. Potential failure sites in a flip-chip package with and without underfill. In: AMD-Vol. 222/ EEP-Vol. 20, Application of Fracture Mechanics in Electronic Packaging, Kona Coast, HI, 1997. 61 ~ 66.
- 40 Doi H, Kawano K. Reliability of underfill-encapsulated flip-chip packages. In: AMD-Vol. 222/ EEP-Vol. 20, Application of Fracture Mechanics in Electronic Packaging, Kona Coast, HI, 1997. 7 ~ 12.
- 41 Schubert A, Dudek R. Experimental and numerical reliability investigations of FCOB assemblies with process-induced defects. In: Proceedings of the 50th ECTC Conference, Las Vegas, NV, 2000. 624 ~ 632.
- 42 Schubert A, Dudek R, Michel B. Experimental and numerical analyses of flip-chip attach reliability. In: Proceedings of the 2000 International Symposium on Electronic Materials and Packaging, Hong Kong, 2000. 107 ~ 113.
- 43 Rzepka S, Feustel F. The effect of underfill imperfections on the reliability of flip chip modules: FEM simulations and experiments. In: Proceedings of the 48th ECTC Conference, Seattle, WA, 1998. 362 ~ 366.
- 44 Rzepka S, Korhonen M A. The effects of underfill delamination on the reliability of flip chip modulus. In: AMD-Vol. 222/ EEP-Vol. 20, Application of Fracture Mechanics in Electronic Packaging, Kona Coast, HI, 1997. 73 ~ 78.
- 45 Darbha K, Okura J H, Dasgupta A. Impact of underfill filler particles on reliability of flip-chip interconnects. IEEE Trans. on Components, Packaging, and Manufacturing Technology, Part A, 1998, 21(3): 275 ~ 282.
- 46 Wang Jianjun, Ren Wei, Zou Daqing, et al. Effect of cleaning & non-clearing situations on the reliability of flip-chip packages. IEEE Transactions on Components and Packaging Technology, 1999, 22(2): 221 ~ 228.
- 47 Mc Murray M K, Amagi S. The effect of time and temperature on the flexural strength of a silica particle filled epoxy resin. Journal of Composite Materials, 1998, 34(23): 5 927 ~ 5 936.

·下期发表论文摘要预报·

大挠度储能橡胶圆板的受载挠曲特性分析

段 浩 胡宗武

杨赅石 黎佑铭

(上海交通大学 机械工程学院, 上海 200030) (中国船舶重工集团公司 705 所昆明分部, 昆明 650118)

摘要 以圆板大挠度方程和伽辽金法为基础, 推出边界不能径向移动的简支橡胶圆板挠曲与受载关系的二次近似分析解。此外, 将橡胶板视为薄膜, 根据薄膜的无矩特性, 采用数学方法求得橡胶板的膨胀状态几何特性描述, 进而通过应力应变求得挠曲与载荷的关系。并对通过两种方法所得到的结果进行比较分析。

关键词 橡胶圆板 大挠度 载荷 分析解 几何特性

中图分类号 TH145.41 TB125 O342 O343